

技術説明会2023

2023年12月

将来の見通しについて

このプレゼンテーションに掲載されている当社の現在の計画、見通し、戦略、その他の歴史的事実でないものは、将来の業績に関する見通しであり、これらは現在入手可能な情報から得られた当社の判断に基づいております。

実際の業績は、さまざまな重要な要素により、これらの業績見通しとは大きく異なる結果となりうることをご承知ください。

実際の業績に影響を与える重要な要素には、世界・日本経済の動向、急激な為替相場の変動ならびに戦争・テロ活動、災害や伝染病の蔓延等があります。

本資料の利用について

プレゼンテーション資料に記載されている情報の著作権は当社に帰属しており、無断での転載は禁じられています。本資料は各国の法律によって明示的に認められる範囲を超えて資料を使用・引用する場合、当社の文書等による承諾が必要です。

<https://www.disco.co.jp/>

パッケージングZero Defectへの取り組み

将来の見通しに関する注意事項

このプレゼンテーションに掲載されている当社の現在の計画、見通し、戦略、その他の歴史的事実でないものは、将来の業績に関する見通しであり、これらは現在入手可能な情報から得られた当社の判断に基づいております。

実際の業績は、さまざまな重要な要素により、これらの業績見通しとは大きく異なる結果となりうることをご承知ください。

実際の業績に影響を与える重要な要素には、世界・日本経済の動向、急激な為替相場の変動ならびに戦争・テロ活動、災害や伝染病の蔓延等があります。

- 中工程リサーチセンターとは
- 高信頼性プロセス (工程能力の最大化)
- 揺らぎレス (自動化)
- まとめ

● 開所目的

- 半導体製造の「前工程」で回路が形成されたウェーハは非常に付加価値が高いため、その後の工程において高い歩留まりが求められます。その中でも当社が担うグラインディング（研削によるウェーハの薄化）やダイシング（切削によるウェーハの個片化）工程は、加工不備があるとウェーハ1枚全体が品質不良になってしまいリスクがあるため、加工や搬送の慎重さや確実さが特に求められます。さらに、後工程において大量の不良を発生させてしまうと代替のウェーハが前工程からすぐに供給されないことが多く、サプライチェーン全体に大きな影響を及ぼすことになり、自動車業界のリーンな生産体制において大きな課題となりつつあります。そのような課題認識のもと、従来は半導体製造の「後工程」に含まれるこれら工程を、当社では「中工程」と位置づけて研究開発を進めてまいりました。
- この中工程向けの研究開発と顧客向けのデモンストレーションを行う拠点として、この度「中工程リサーチセンター」を正式に開所いたしました。当センターにはウェーハ搬送システム「RoofWay」やクラスター・システム「MUSUBI」を常設し、生産システムの自動化を通じたオペレータの負担軽減やウェーハの加工・搬送品質向上を実現するための研究を重ねています。
- 半導体の車載が増える中、半導体にも人命を預かるための、より厳格な品質管理が要求されるようになっております。**人の関与に起因する品質の揺らぎを減らす**ため、本センターにおいてオペレータの関与を極限まで削減した生産プロセスの実現を目指して参ります。

コンセプト

車載向けデバイス
より厳格な品質管理の要求



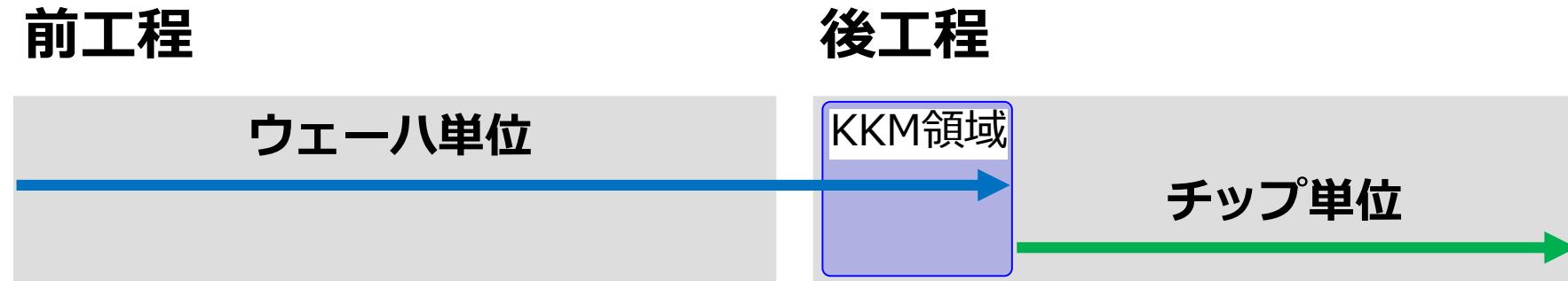
Zero Defect
品質の揺らぎゼロへ

実現するには…

工程能力の最大化 + 自動化

両方が必要！

KKM領域は後工程だがウェーハ単位で搬送



加工不備がウェーハ1枚全体の品質不良に

- ▶ 加工や搬送の慎重さや確実さが特に要求

「後工程」に含まれるグラインディング、
ダイシング工程を「中工程」と位置づけ

CR生産の自動化 4つのエレメント

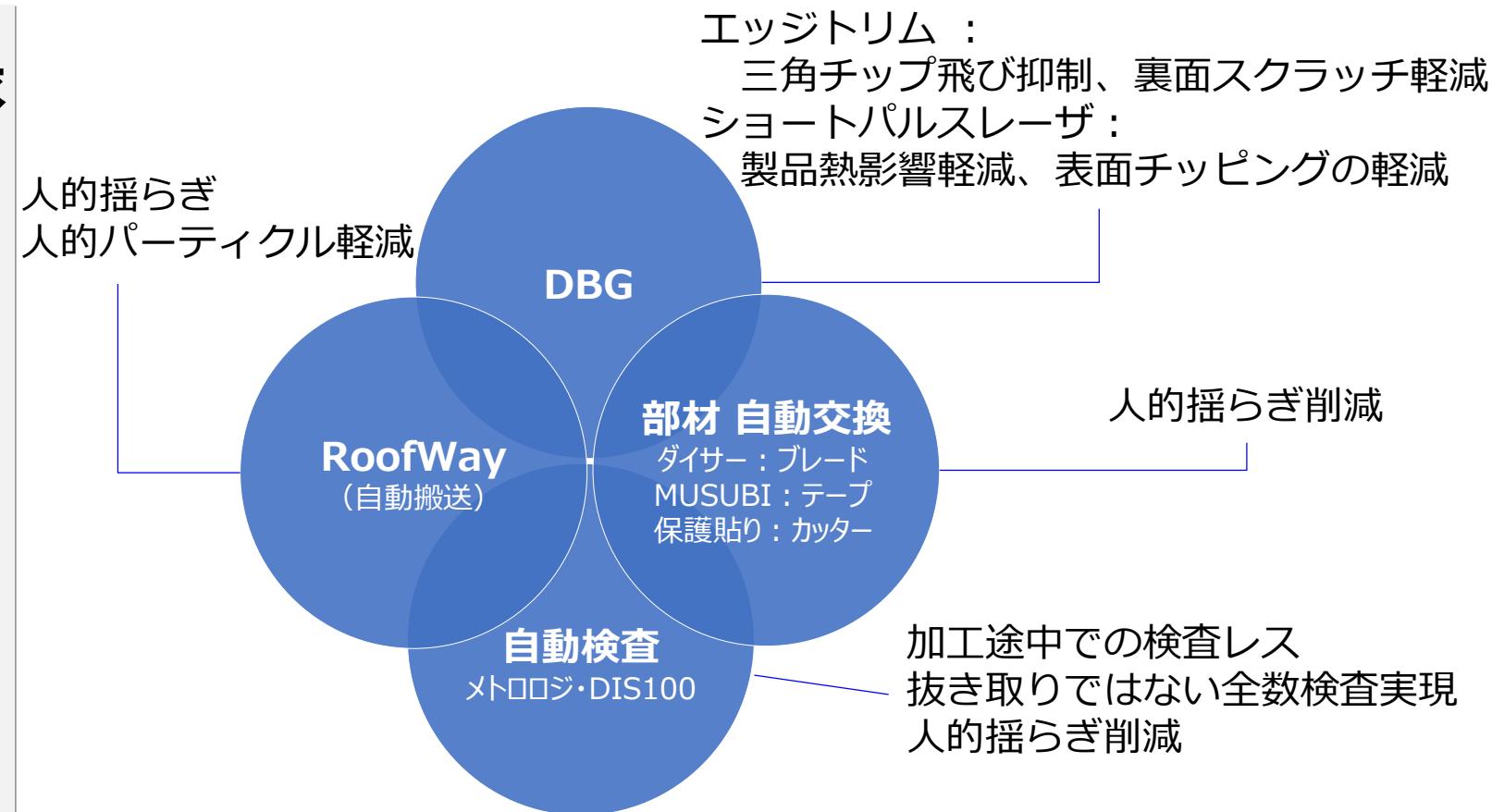
先端車載ロジックICの品質要求

▼
Zero Defect

不良の発生リスクと流出リスクの最小化

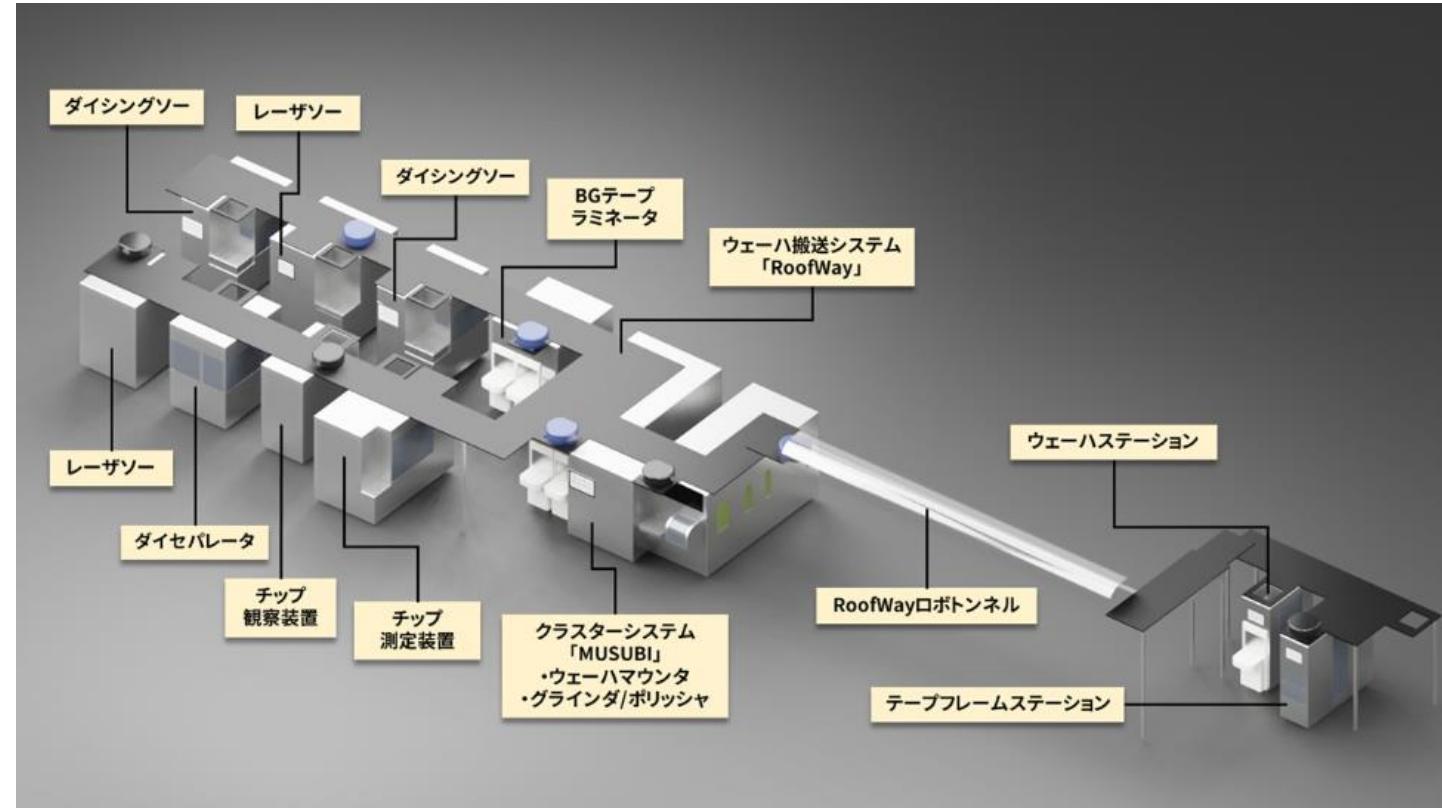
▼
工程能力の最大化&品質安定化

▼
生産の自動化



クリーンルーム現場でのオペレーター作業 / ルーティン作業
→4つのエレメントを駆使する事で大幅な削減・代替が見込める

ウェーハ搬送システム「RoofWay」 クラスターシステム「MUSUBI」を常設



ウェーハ薄化、ダイサ/レーザによる個片化、加工後のチップ六面検査・データ保管といった一連の工程を全自动搬送ロボットでつないだライン

現行ライン ロジック品プロセス



品質確認の工程が必要

オペレータによる作業では信頼性に限界

中工程 ロジックDBGプロセス (省人化ライン)



品質確認の工程レス

Zero Defectプロセスの実現

現行ライン

不良 発生防止

- 加工の揺らぎ
- ヒューマンミス
- コンタミ・異物・腐食



中工程

- DBGプロセス
- ショートパルスレーザー
- 自動化

不良 流失防止

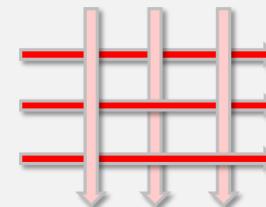
- 目視確認
- 抜き取り確認



- 全数・全ラインの品質確認(表面・裏面)
- 側面抜き取り確認

不良流失防止

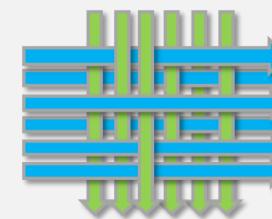
不良 発生防止



品質の網 (粗い)

不良流失防止

不良 発生防止



品質の網 (細かい)

- ・ 加工熱影響が少ないレーザグルービング
- ・ 三角チップによる不良を抑制するエッジトリミング
- ・ 裏面かけが発生しにくいDBGプロセス

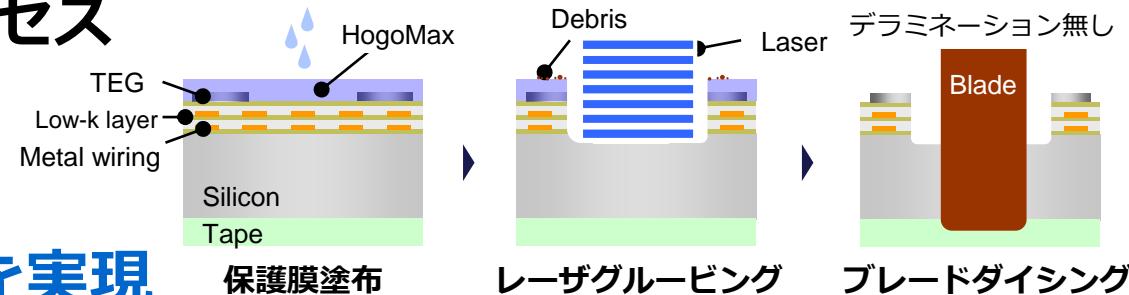


工程能力の最大化

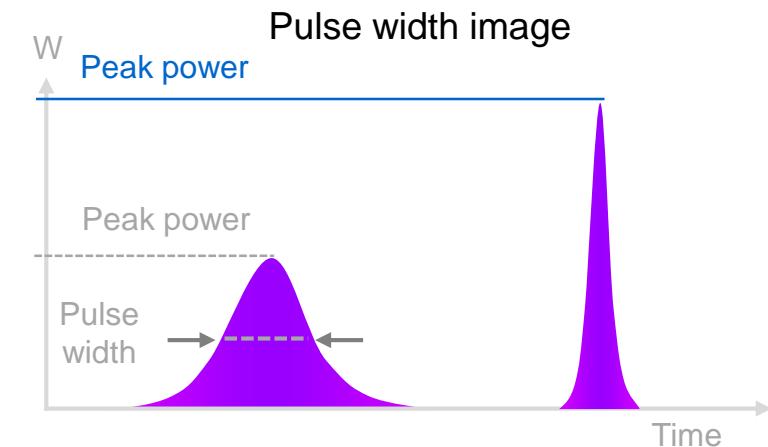
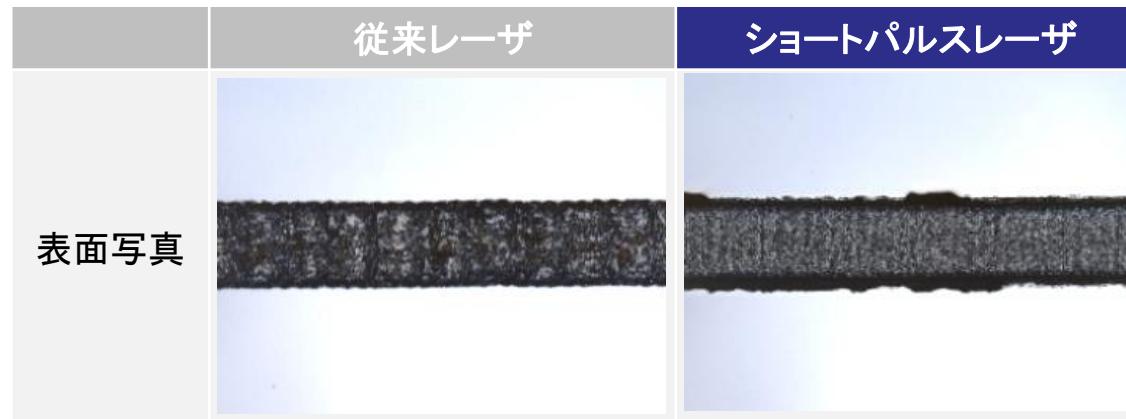
- 表面(パターン側)を、レーザ加工で取り除くプロセス
 - 一般的に、層間絶縁膜(Low-k膜)のデラミネーションを防ぐために用いられる

デバイス構造に依存せず、安定した加工品質を実現

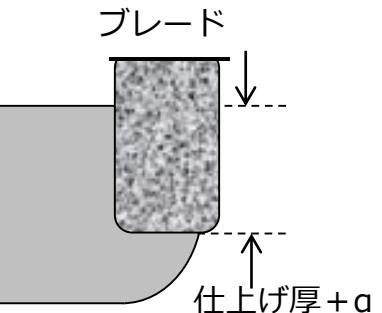
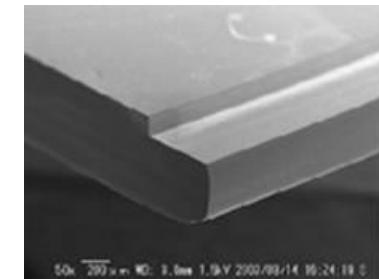
- ショートパルスレーザの加工による熱ダメージの低減
 - レーザグルービング時の加工形状がブレードダイシングに影響



Application example: Si laser grooving

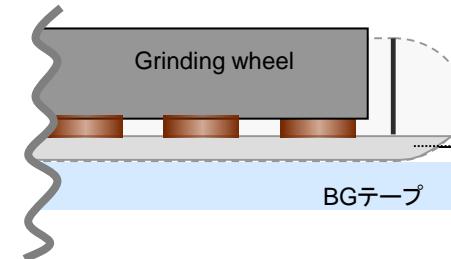


- 研削前にダイシングブレードでウェーハエッジ部をトリミングするプロセス

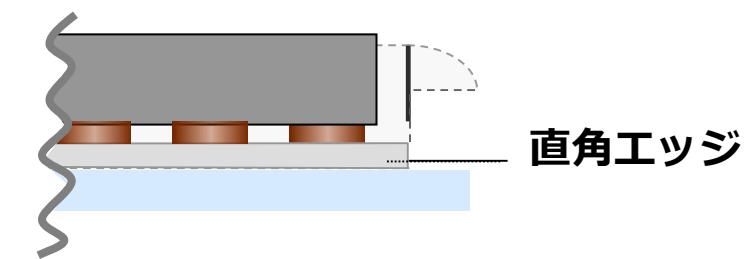


- 薄化後のウェーハエッジのシャープ形状を防ぎ、ウェーハ割れを抑制

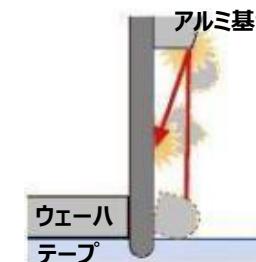
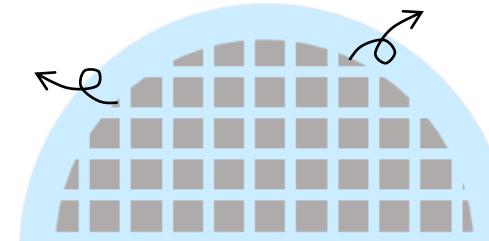
エッジトリミング無し



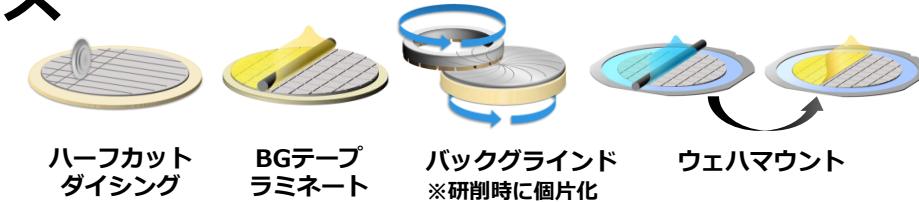
エッジトリミング有り



- ダイシング中の三角チップ飛散によるチップダメージやブレード破損を低減



- ウェーハにハーフカット(溝)を入れた後、薄化するプロセス
- 三角チップによる不良を抑制するプロセス



● ハーフカットダイシング
ダイシングテープへ切り込まない



- ・ブレードのダメージが少ない
- ・カット速度の向上
- ・カット位置補正が不要 (カーフチェックの削減)

● BGテープラミネート



● バックグラインド
研削時に個片化



- ・裏面チッピングに優位 → 抗折強度向上
- ・ステップカット不要で、ストリートリダクション可能

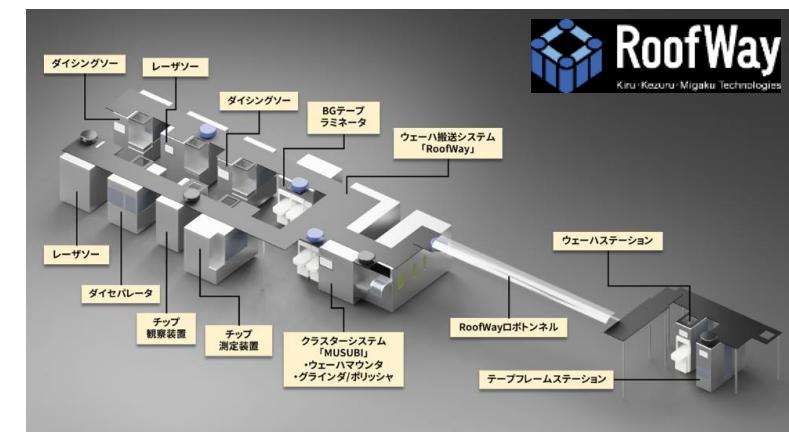
● ウェーハマウント

- 「揺らぎ」とは
 - 主に人為的ミスによる不良リスク
 - 対策をしても潰しきるのが難しく、対策の手間が増えるばかり
 - その他に部材、装置等による揺らぎもある
- 「揺らぎ」レスの為に
 - 自動化による人作業極少化
 - 中工程リサーチセンターで導入している自動化ツール
 - リモートコントロール・データー元管理 (KKM-Link)
 - 装置間搬送の自動化 (RoofWay)
 - 自動ツール交換 (Blade)
 - 自動検査 (Metrology・DIS100)
 - 副次効果
 - パーティクル低減
- 但し、工程能力の高い「高信頼性プロセス」も必要
 - 人によるアシストが必要だと、自動化メリットが低くなってしまう為

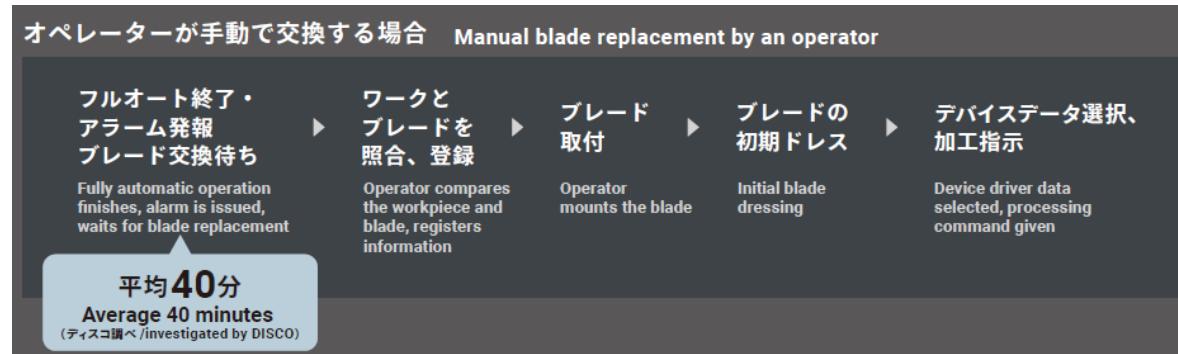




←最短のTAT可能
(Clean Room滞在時間ミニマム)



- ブレード交換、プリカット実行作業の全自動化によるダウンタイム削減

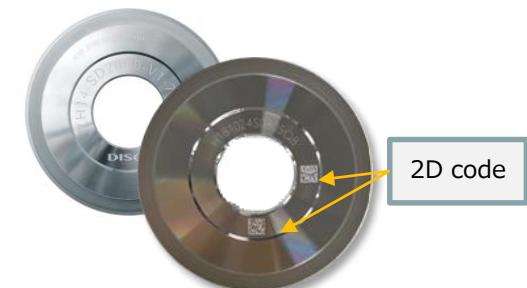


	通常の作業	ABC
コンセプト		



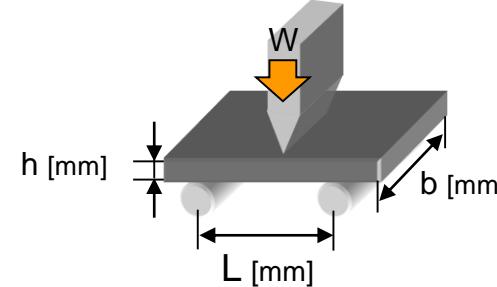
- 各軸に6枚の交換用ブレードをストック
- ブレード基台の2Dコード読み取り、装置にブレード情報を登録（特許）
 - ブレード品種
 - 実カーフ幅 (検査データ)
 - 実刃先出し量 (検査データ)

- オペレータのブレード交換ミス削減
 - ブレードの品種間違い、装着時の刃先の破損防止
- 加工ブレードの履歴管理
 - エンドユーザーの品質保証要求への対応
- ブレード・コストダウン
 - 中古ブレードも履歴管理し、ライフエンドまで使いきる運用が可能



- ピックアップから強度測定までを全自動で実現するチップ測定装置

- 強度測定：3点曲げ試験



$$\delta = \frac{3LW \times 9.8}{2bh^2}$$

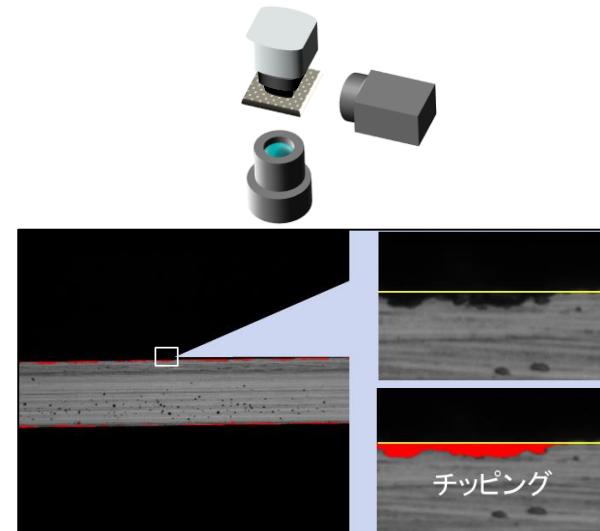
δ : Die strength [MPa]
W: Breaking load [kgf]



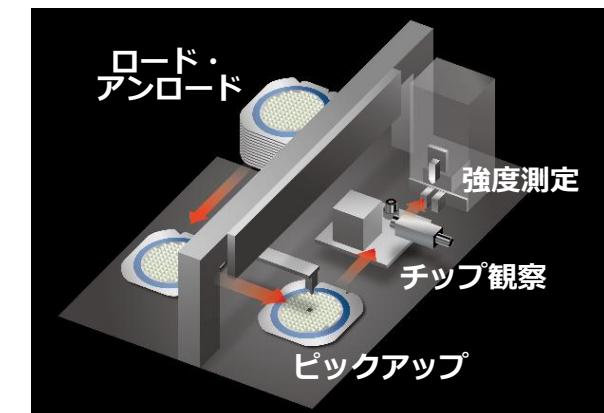
DIS100

- 検査可能な項目【オプション】

- 4点曲げ、球抗折にも対応
- チップ裏面観察：研削面の面粗さ測定
- チップ側面観察
 - 1点測定：厚み測定、チッピング観察
 - 4側面測定

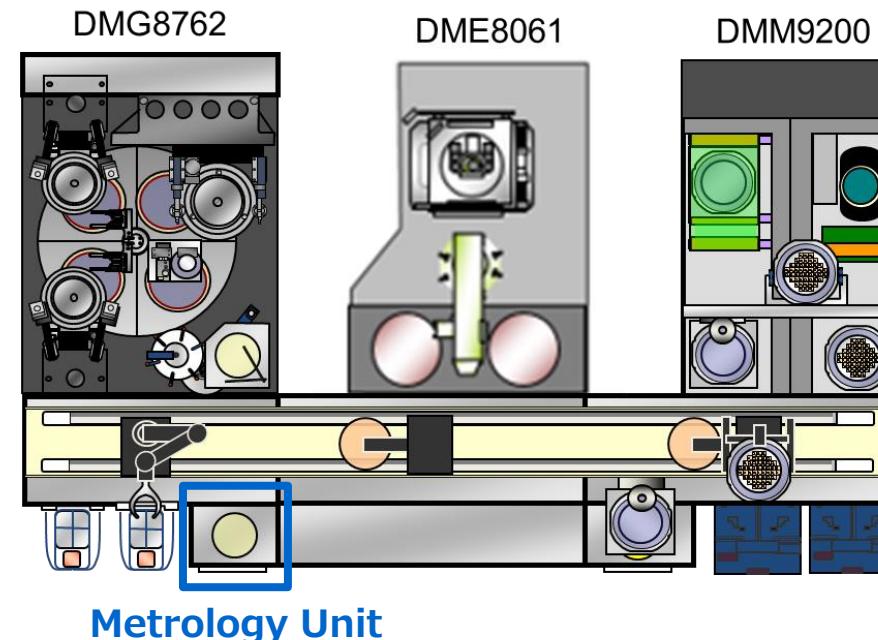


装置レイアウト



W x D X H : 1,250 mm x 1,680 mm x 1,800 mm

- 研削後ウェーハ向けのMUSUBI組込式Metrology Unit
 - 研削後のウェーハ状態を自動測定
 - 全数検査も可能で、トレーサビリティに貢献



本体機能

厚み測定
(チップ毎も可)

DBG/SDBG
カーブ認識

画像撮像

- 自動化による人作業極少化
 - 工程のパーティクル低減に寄与
- 自動化による工程間カセット搬送レス
 - カセット・フレームこすれで発生するパーティクル低減に寄与

- 車載など高付加価値デバイスに求められるZero defect実現
 - 工程能力の最大化 + 自動化が必須
 - 高頼性プロセス（工程能力の最大化）
 - DBG
 - ショートパルスレーザ
 - 揺らぎレス（自動化）
 - RoofWay・KKM-Link
 - Metrology
 - 自動化ツール（ABC等）

生成AI～2.5Dパッケージ～

将来の見通しに関する注意事項

このプレゼンテーションに掲載されている当社の現在の計画、見通し、戦略、その他の歴史的事実でないものは、将来の業績に関する見通しであり、これらは現在入手可能な情報から得られた当社の判断に基づいております。

実際の業績は、さまざまな重要な要素により、これらの業績見通しとは大きく異なる結果となりうることをご承知ください。

実際の業績に影響を与える重要な要素には、世界・日本経済の動向、急激な為替相場の変動ならびに戦争・テロ活動、災害や伝染病の蔓延等があります。

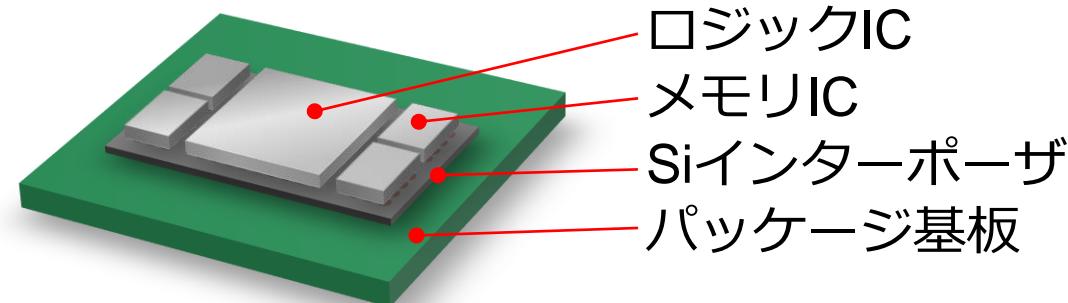
- 生成AI
 - 生成AIとは?
 - 2.5Dパッケージ
- 2.5DパッケージのKKM
 - ロジックIC
 - メモリIC(HBM)
 - 2.5Dパッケージ
- まとめ

※本資料に記載のプロセスは2.5Dパッケージに必要なプロセスの一部です

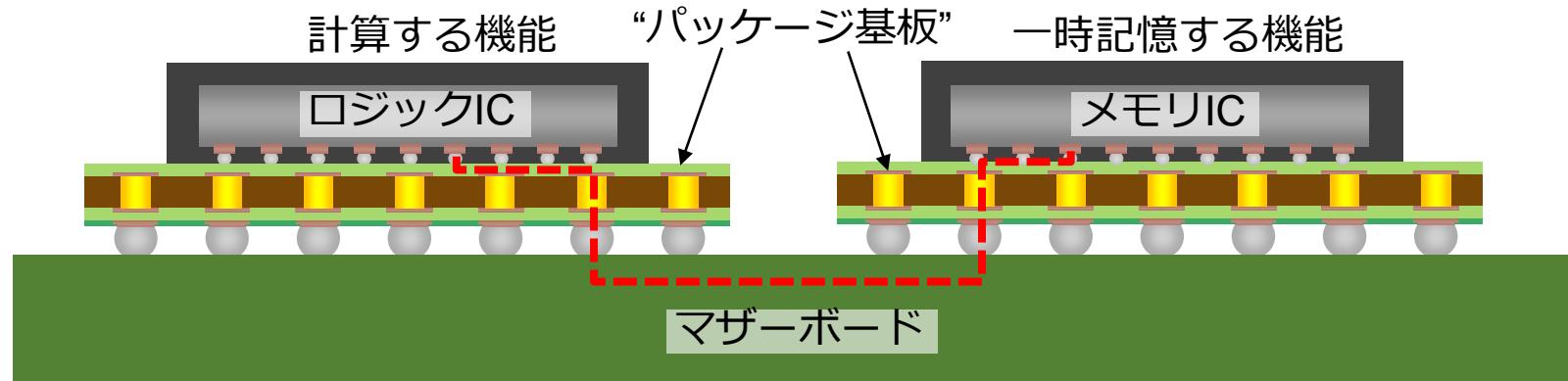
- 生成AI：
「ジェネレーティブAI(Generative AI)」とも呼ばれるAI(人工知能)のひとつ



- 生成AIに求められる性能：高速かつ大容量のデータ処理と複雑な計算の実行
→HPC (High Performance Computing)
- HPCを実現するためのパッケージング技術
→2.5Dパッケージ



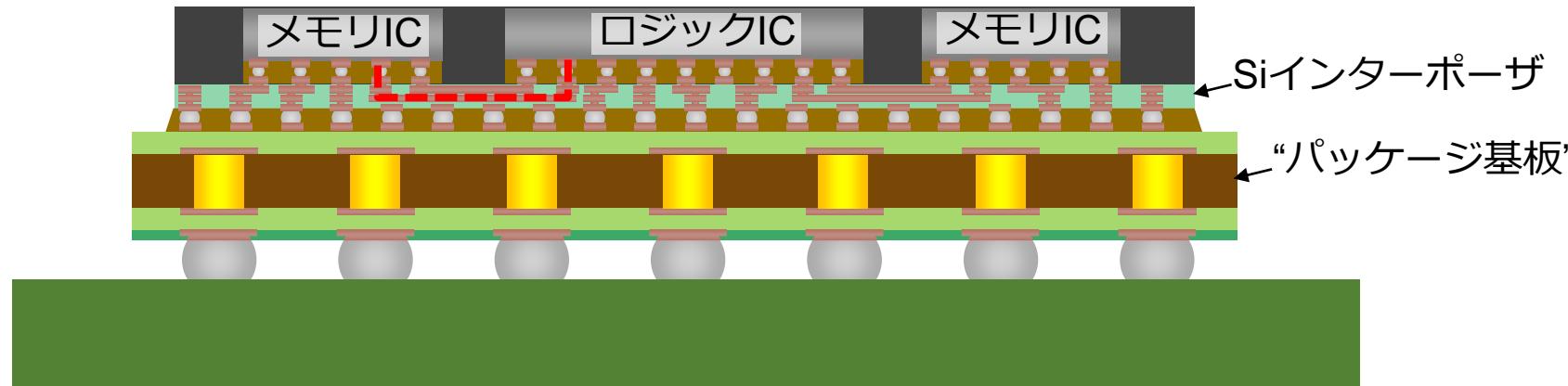
- 従来パッケージ：高速かつ大容量の計算には不向き



- ロジックIC
- メモリIC

それぞれでパッケージ化
マザーボードで接続

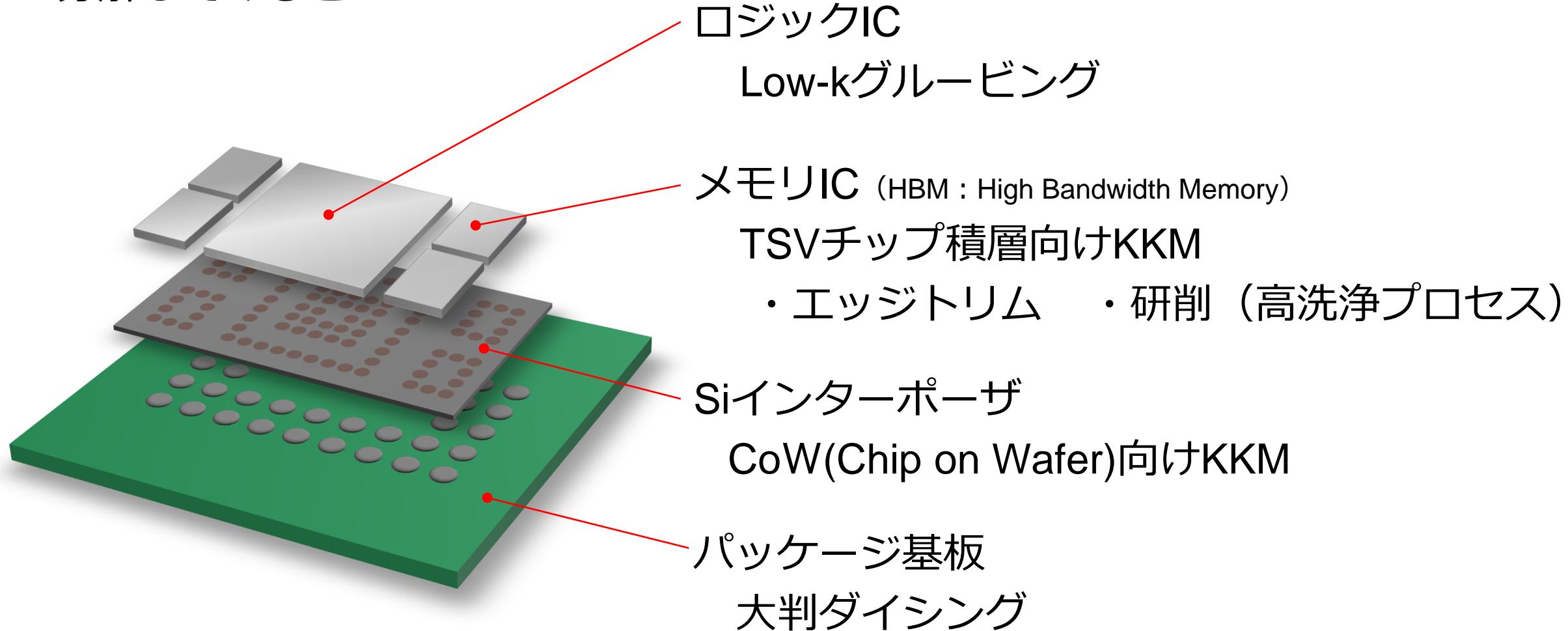
- 2.5Dパッケージ：Siインターポーザによりロジック-メモリ間の高速通信が可能



- ロジックIC
- メモリIC

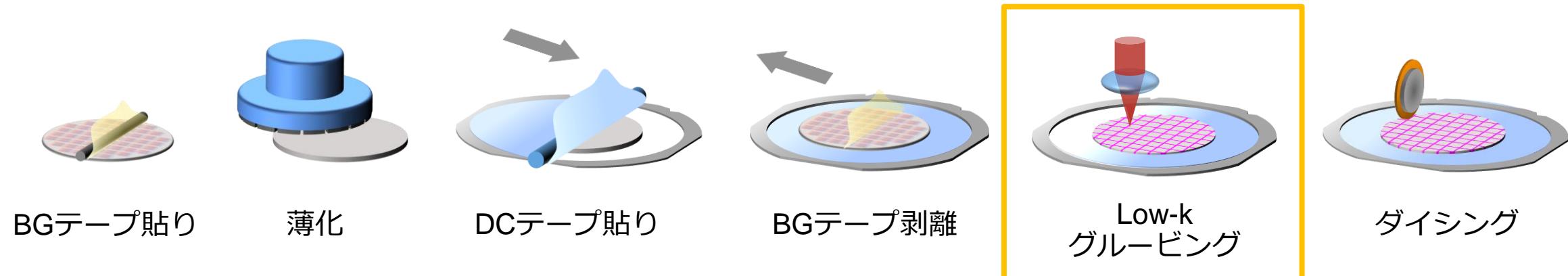
1パッケージ化
パッケージ内で接続

- 分解してみると

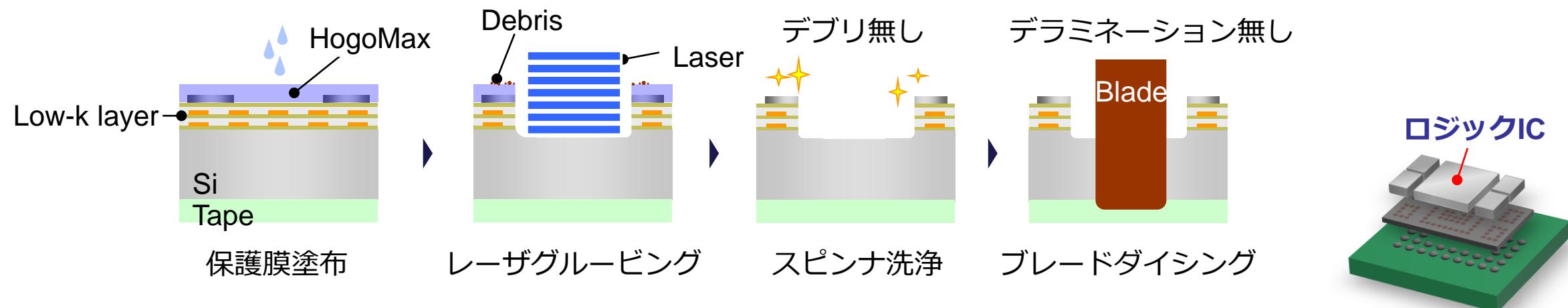


- 生成AI
 - 生成AIとは?
 - 2.5Dパッケージ
- 2.5DパッケージのKKM
 - ロジックIC
 - メモリIC(HBM)
 - 2.5Dパッケージ
- まとめ

- 従来の個片化プロセスにLow-kグルービングを追加



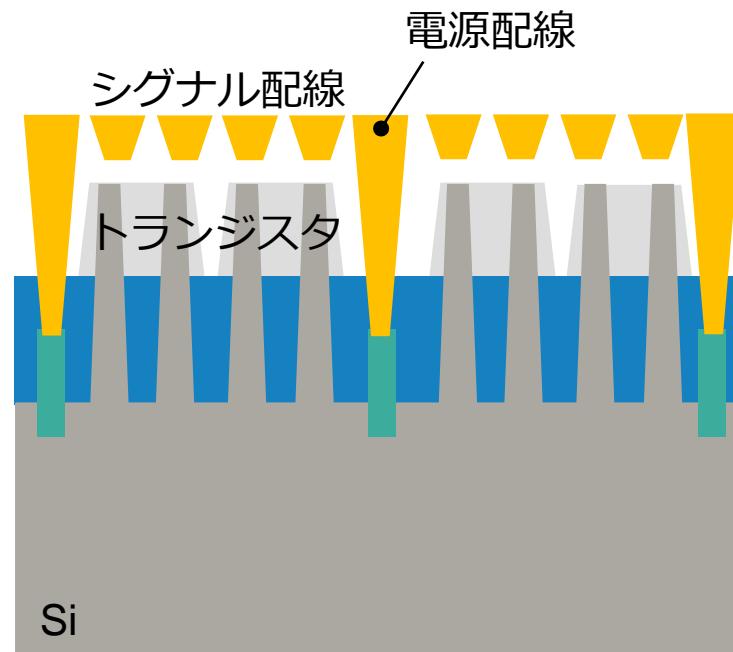
- アブレーションレーザによりLow-k膜剥がれなく加工が可能



- ロジックトランジスタの集積度向上：BS-PDN

従来ロジック：
表面にシグナル配線と電源配線

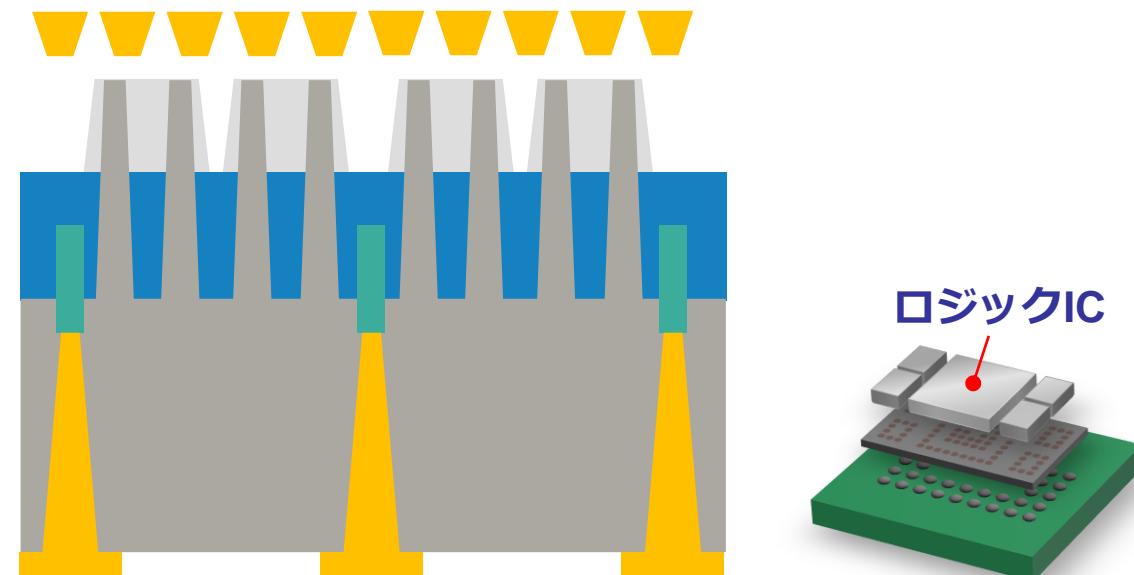
薄化回数：1回
パターンウェーハの裏面研削



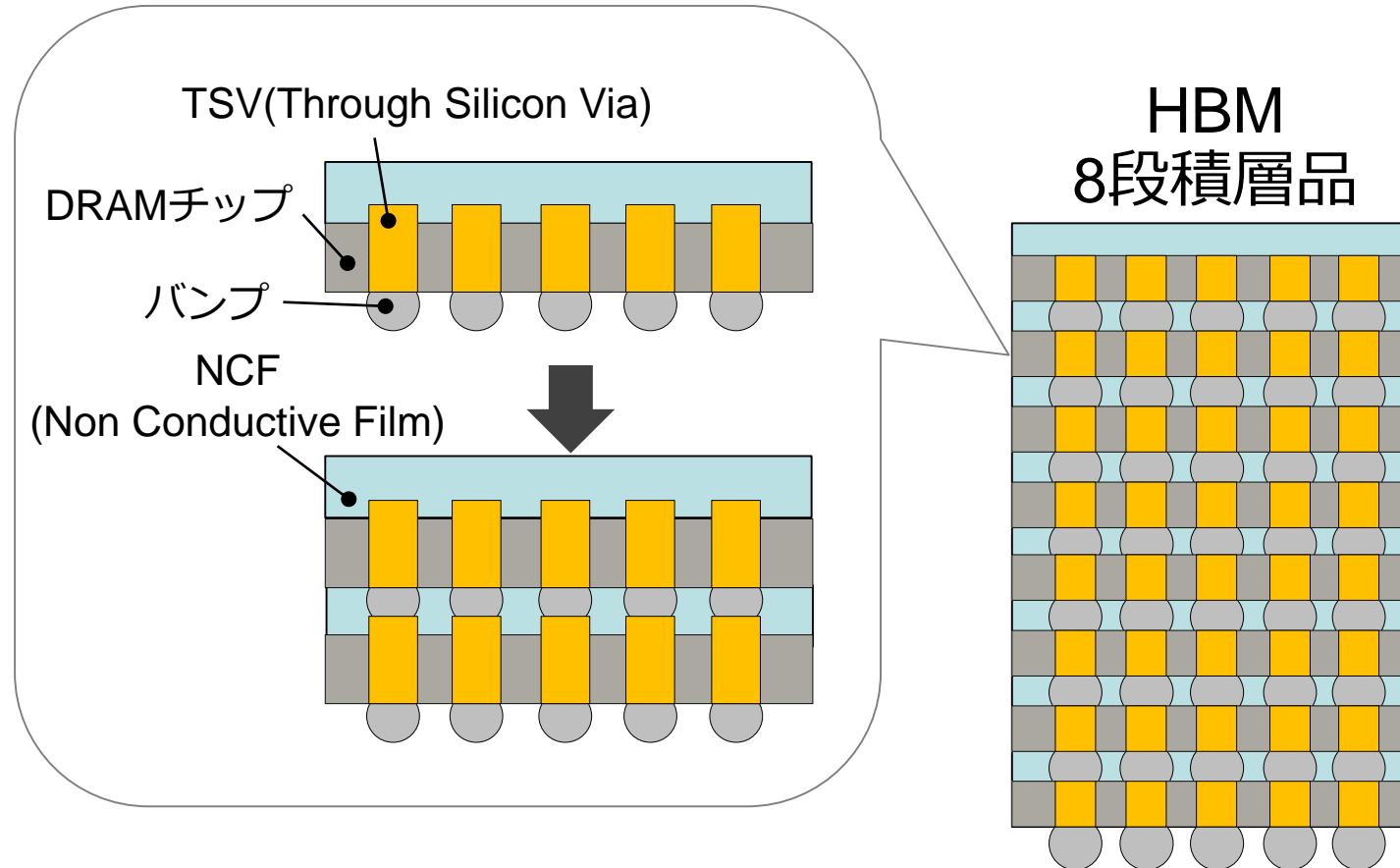
Back Side – Power Delivery Network
裏面電源供給網

BS-PDN ロジック：
表面にシグナル配線、裏面に電源配線

薄化回数：2回
・パターンウェーハの高精度な裏面研削
・サポート基板の研削

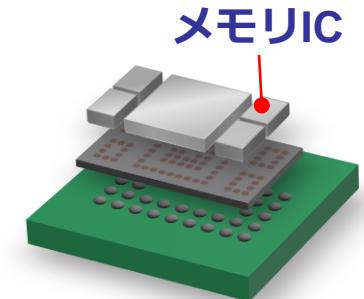


- HBM (High Bandwidth Memory): TSVを用いたDRAMチップ積層



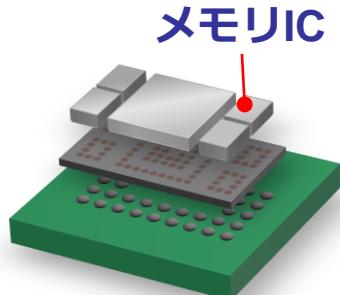
プロセス

- エッジトリム
- 薄化（高洗浄研削）
- ビア出し/バンプ形成
- ダイシング
- チップ積層



プロセス

- エッジトリム
- 薄化（高洗浄研削）
- ビア出し/バンプ形成
- ダイシング
- チップ積層



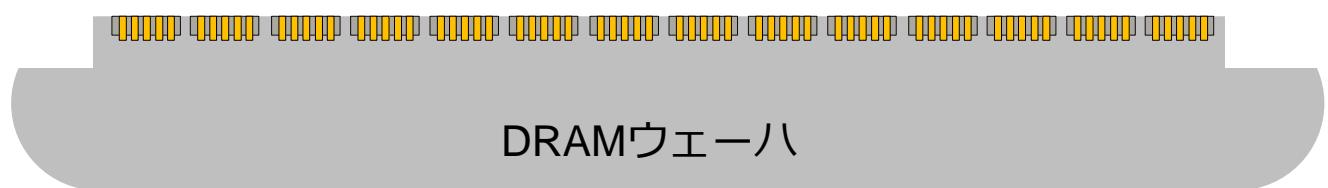
TSV DRAMチップ



DRAMウェーハ

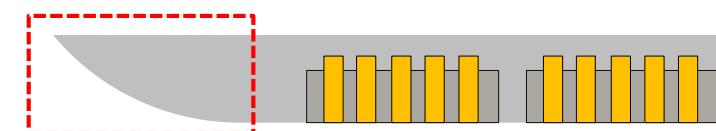


薄化前にウェーハエッジをブレードでトリミング

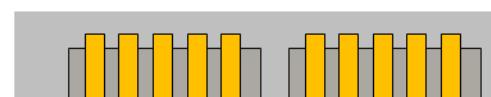


DRAMウェーハ

エッジトリムなしの場合
薄化時にシャープエッジ
欠け・割れの原因

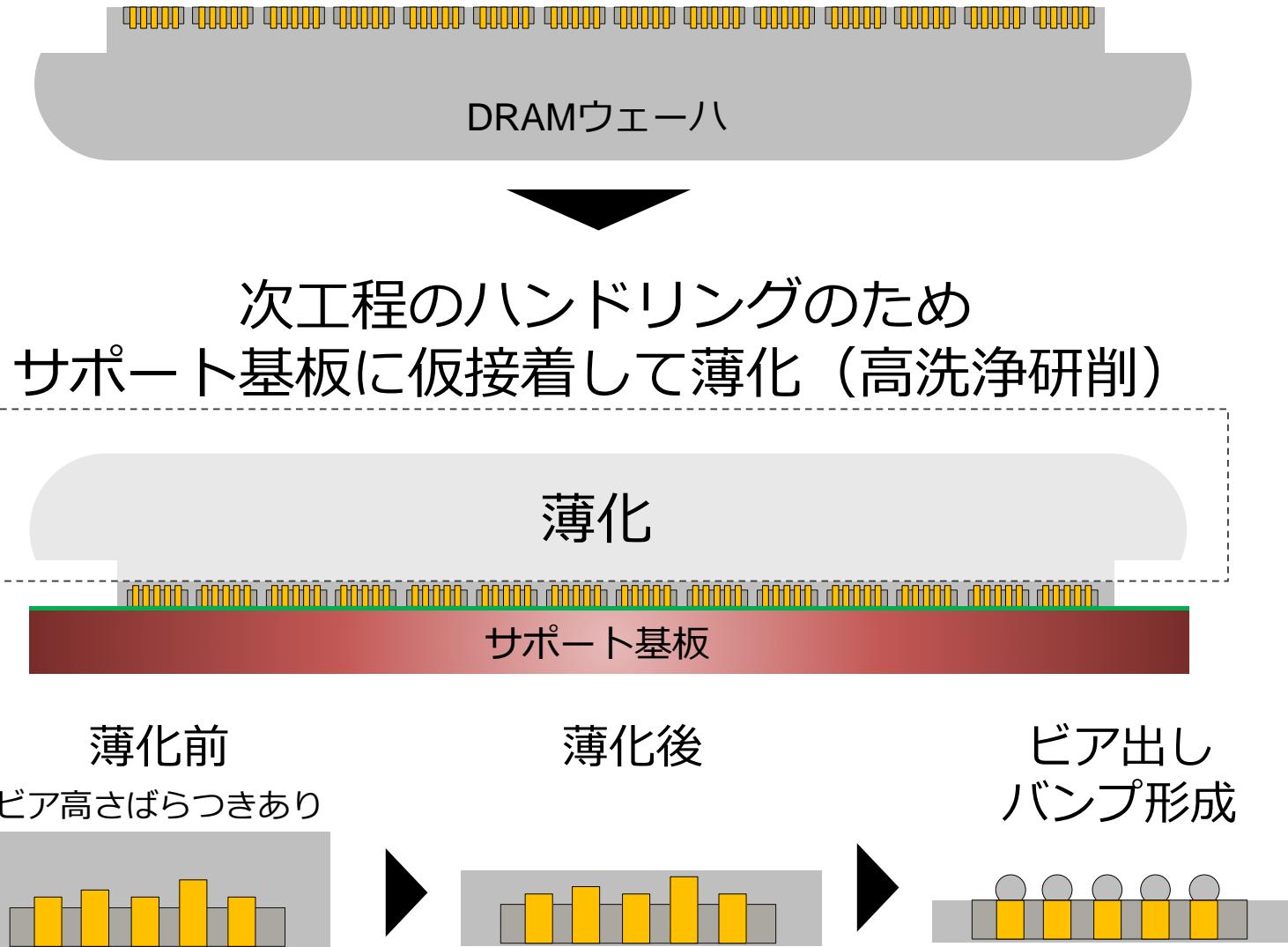
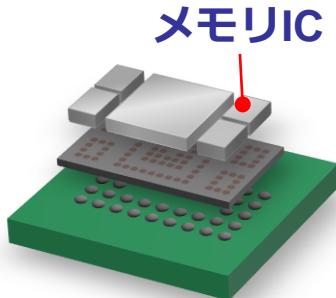


エッジトリムありの場合
シャープエッジなし
欠け・割れのリスク低減



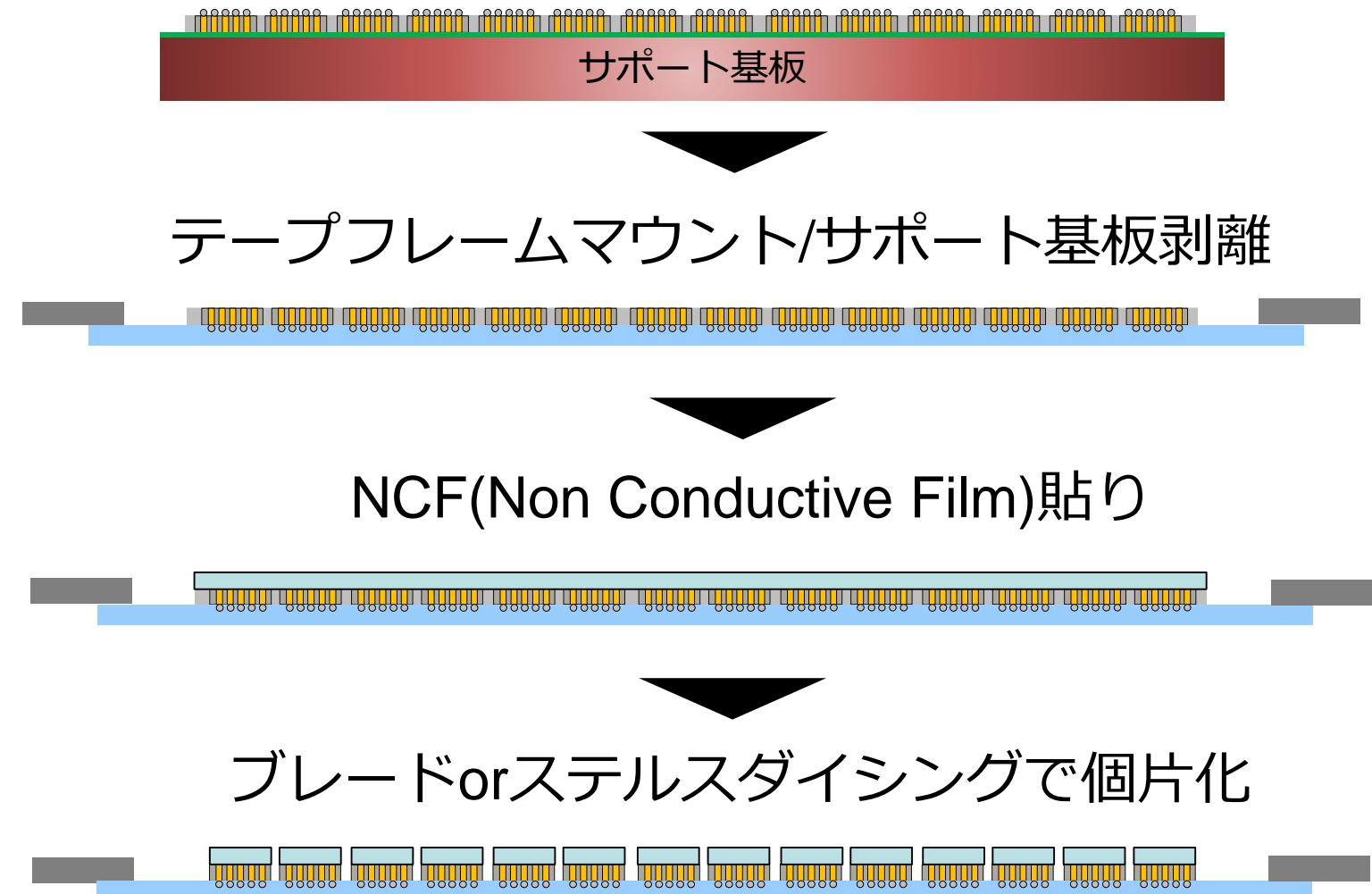
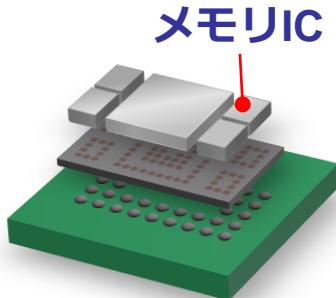
プロセス

- エッジトリム
- 薄化 (高洗浄研削)
- ビア出し/バンプ形成
- ダイシング
- チップ積層



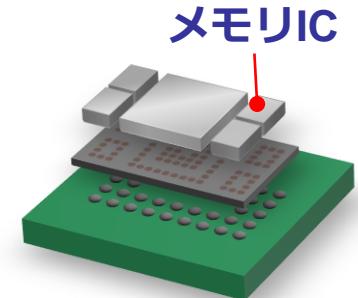
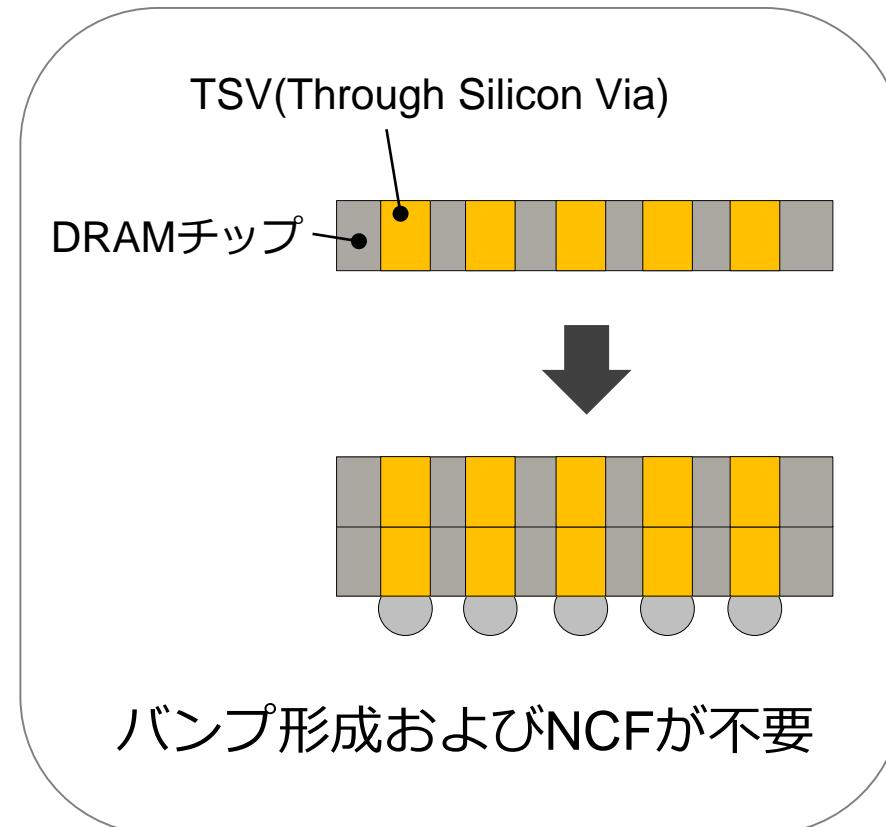
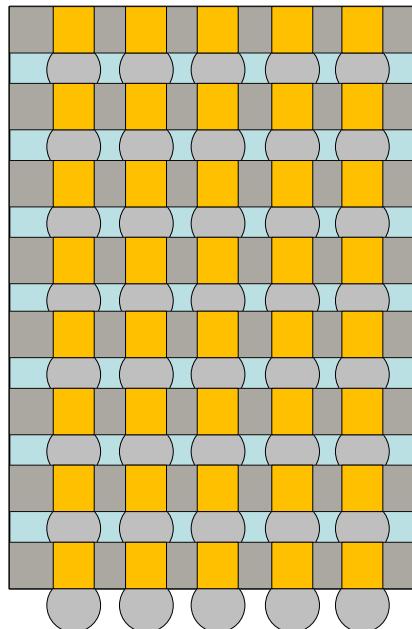
プロセス

- エッジトリム
- 薄化（高洗浄研削）
- ビア出し/バンプ形成
- ダイシング**
- チップ積層

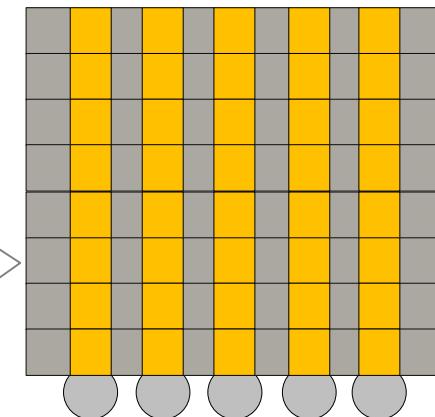


- バイブリッドボンディングによるチップ接続の可能性

バンプ接続



直接接合



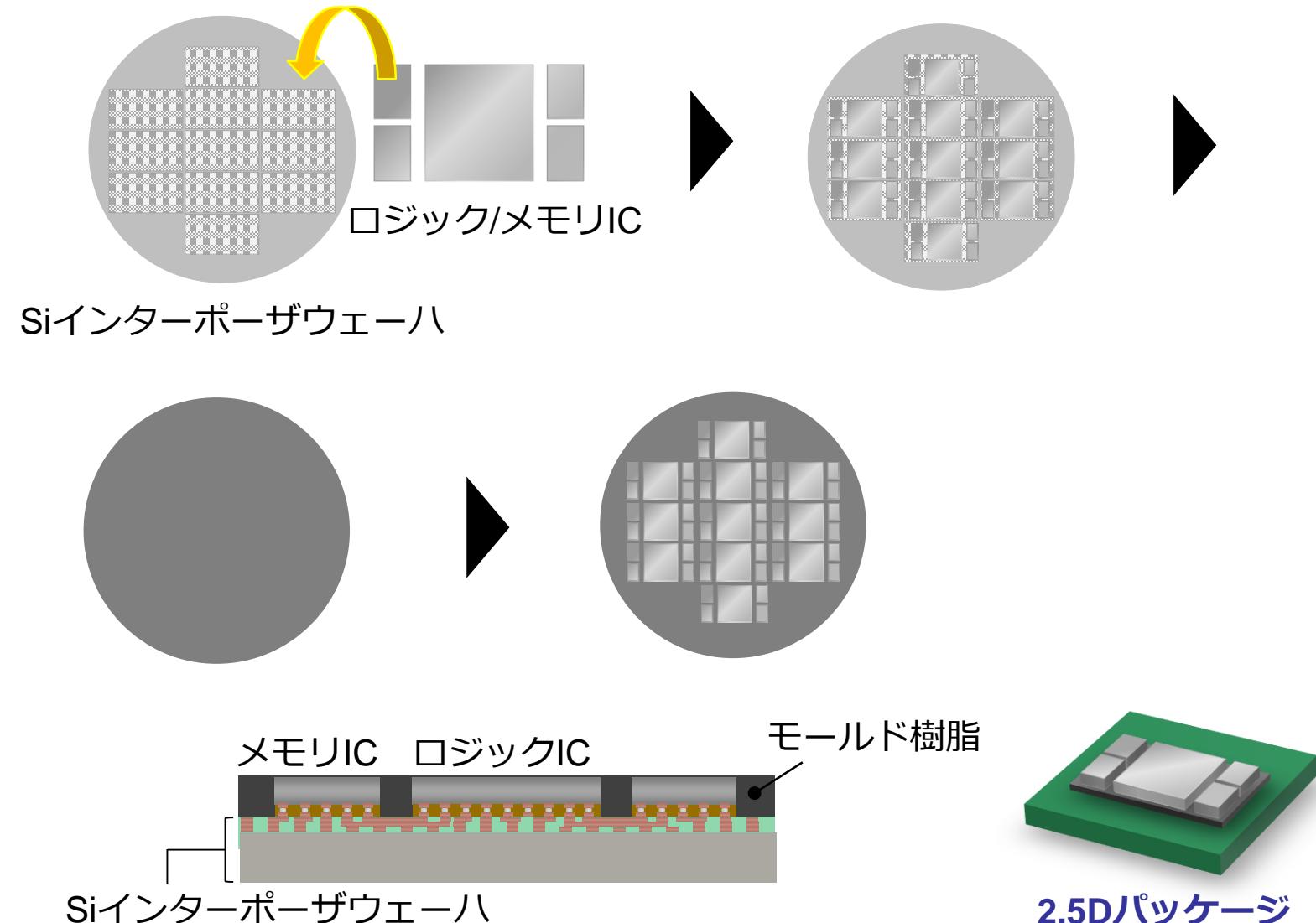
- 研削時の仕上げ品質
- 個片化後の洗浄性

要求が高まる可能性あり

- 生成AI
 - 生成AIとは?
 - 2.5Dパッケージ
- 2.5DパッケージのKKM
 - ロジックIC
 - メモリIC(HBM)
 - 2.5Dパッケージ
- まとめ

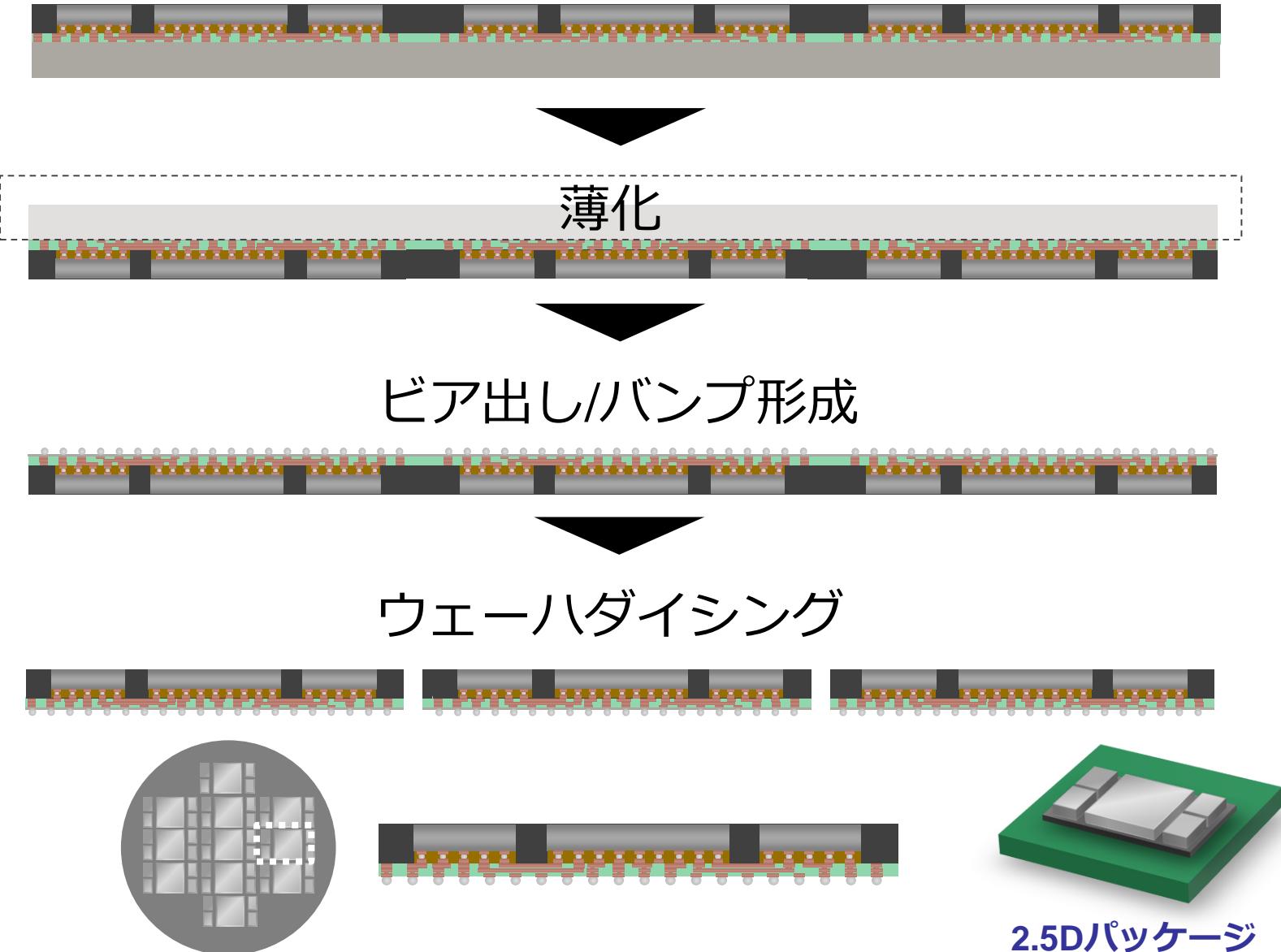
プロセス

- インターポーザウェーハロジック/メモリIC搭載
- モールド封止
- モールド樹脂研削
- インターポーザ薄化
- ビア出し/バンプ形成
- ウェーハダイシング
- パッケージ基板に搭載
- 基板ダイシング



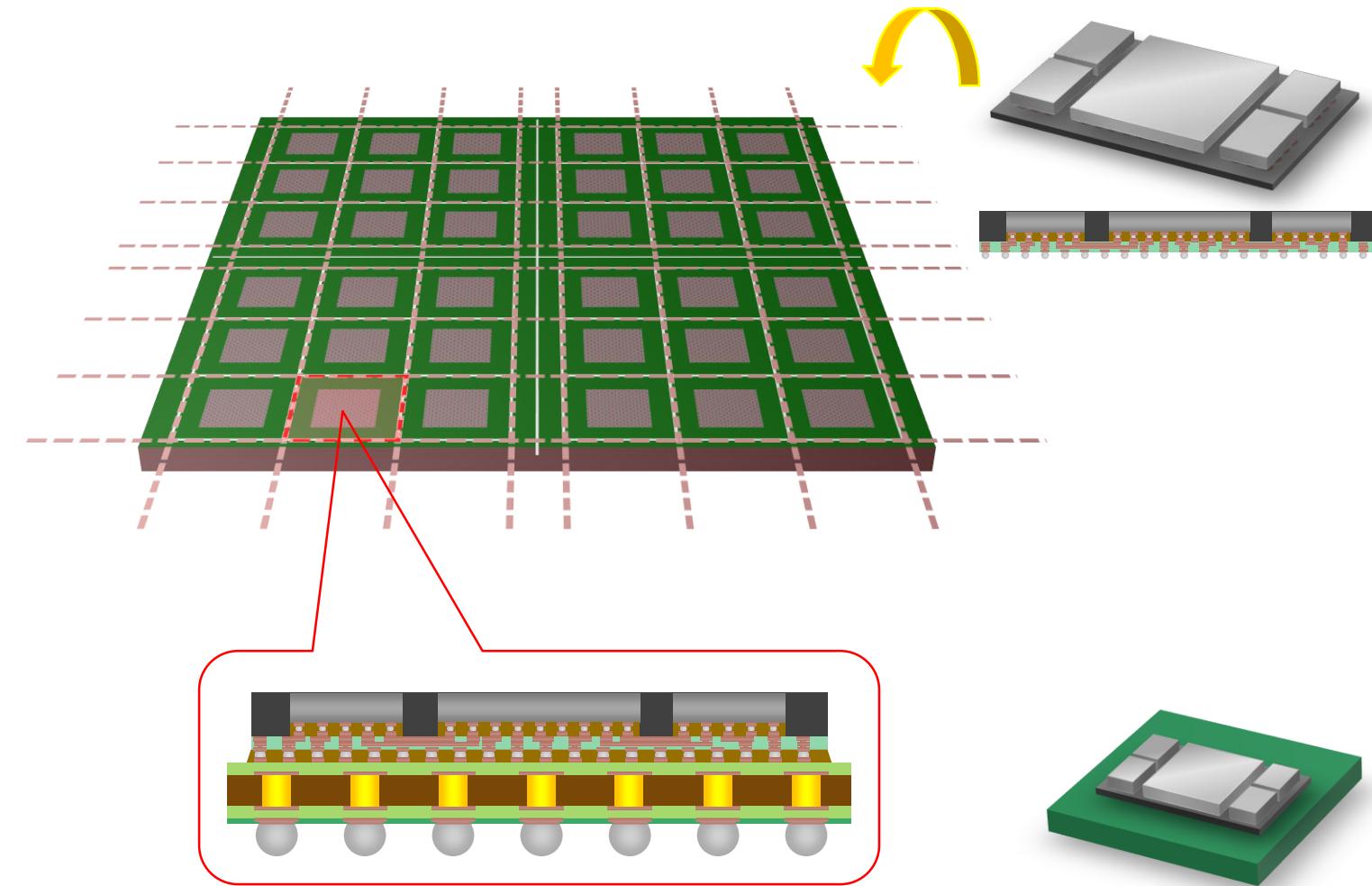
プロセス

- インタポーザウェーハロジック/メモリIC搭載
- モールド封止
- モールド樹脂研削
- インタポーザ薄化
- ビア出し/バンプ形成
- ウェーハダイシング
- パッケージ基板に搭載
- 基板ダイシング



プロセス

- インタポーザウェーハロジック/メモリIC搭載
- モールド封止
- モールド樹脂研削
- インタポーザ薄化
- ビア出し/バンプ形成
- ウェーハダイシング
- パッケージ基板に搭載
- 基板ダイシング



2.5Dパッケージ

- 生成AI向けHPCを実現するパッケージ技術：2.5Dパッケージ
- 2.5Dパッケージ：ロジックとメモリICをSiインターポーラで接続しパッケージ化
- 2.5Dパッケージには様々なKKMが活用されている
 - Low-kグルービング
 - エッジトリム、研削（高洗浄プロセス）
 - CoW(Chip on Wafer)向けKKM
 - パッケージ大判ダイシング
- BS-PDNやHybrid Bondingなどの進化が進むと、更なるKKMの拡張も期待される

本資料について

掲載内容に関しては細心の注意を払っておりますが、掲載した情報に誤りがあった場合や第三者によるデータの改ざん等に
関し、当社は一切責任を負うものではありませんのでご了承ください。また、本資料は投資勧誘を目的にしたものではありません。
投資はご自身の判断において行われるようお願ひいたします。

表記について

年間の会計期間である4月～翌年3月までをFY (Fiscal Year) と表記し、四半期の会計期間は4-6月を1Q、7-9月を2Q、
10-12月を3Q、1-3月を4Qと表記しています。

金額単位に応じて、単位未満の金額を四捨五入または切り捨て処理しており合計値が合わない場合があります。
%は実際の金額を基に算出しています。

将来の見通しに関する注意事項

この資料に掲載されている当社の現在の計画、見通し、戦略、その他の歴史的事実でないものは、将来の業績に関する見通し
であり、これらは現在入手可能な情報から得られた当社の判断に基づいております。実際の業績はさまざまな重要な要素
により、これらの業績見通しとは大きく異なる結果となりうることをご承知おきください。実際の業績に影響を与える重
要な要素には世界・日本経済の動向、急激な為替相場の変動ならびに戦争・テロ活動、災害や伝染病の蔓延等があります。

本資料の著作権は当社に帰属しており、無断での転載は禁じられています。私的使用その他法律によって明示的に認められる範囲を超えて、本資料を使用（複製、改変、アップロード、掲示、送信、頒布、ライセンス、販売、出版等を含む）するためには、当社の事前の明示の許諾が必要です。

<https://www.disco.co.jp/>